

PAT-NO: JP355033257A

DOCUMENT-IDENTIFIER: JP 55033257 A

TITLE: STATUS CONDITION STOP CONTROL SYSTEM

PUBN-DATE: March 8, 1980

INVENTOR-INFORMATION:

NAME

KIMURA, KAZUMASA

HAYASHI, KOJI

KAMINOMURA, HITOSHI

SUEYOSHI, MINORU

INT-CL (IPC): G06F011/00

ABSTRACT:

PURPOSE: To obtain an effective system for exact debugging of hardware by freezing the state of a unit by stopping the clock of the unit when some of various control signals provided to the hardware meet assigned conditions.

CONSTITUTION: To a cyclic path of latches 2-0, 2-1..., single clock stop control circuit 5 is provided. Partitioned test conditions (a), (b) and (c) are set to test- condition setting register 6. For example, when pieces of control information A, B and C are set to latch 2-1 while cycling through latches 2-0, 2-1..., coincidence circuits 7A, 7B and 7C make checks on coincidences between A and (a), B and (b), and C and (c). When one of coincidences is found, corresponding coincidence circuits 7A, 7B or 7C generates coincidence signal MA, MB or MC. Consequently, clock stop control circuit 5 stops clocks.

COPYRIGHT: (C)1980,JPO&Japio

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭55-33257

⑮ Int. Cl.<sup>3</sup>  
G 06 F 11/00

識別記号

庁内整理番号  
7368-5B

⑯ 公開 昭和55年(1980)3月8日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑰ 状態条件ストップ制御方式

⑱ 特 願 昭53-106087

⑲ 出 願 昭53(1978)8月30日

⑳ 発 明 者 木村一雅  
川崎市中原区上小田中1015番地  
富士通株式会社内

㉑ 発 明 者 林弘二  
川崎市中原区上小田中1015番地  
富士通株式会社内

㉒ 発 明 者 神之村均  
川崎市中原区上小田中1015番地  
富士通株式会社内

㉓ 発 明 者 末吉稔  
川崎市中原区上小田中1015番地  
富士通株式会社内

㉔ 出 願 人 富士通株式会社  
川崎市中原区上小田中1015番地

㉕ 代 理 人 弁理士 森田寛

明 細 書

1 発明の名称 状態条件ストップ制御方式

2 特許請求の範囲

データ処理装置において制御情報保持レジスタの内容とテスト条件との一致を検出してクロック停止信号を発するクロック・ストップ制御回路をもち、該クロック・ストップ制御回路は、上記制御情報保持レジスタの内容を複数個に区分した区分内容毎に上記テスト条件を区分した区分テスト条件との一致を検出する複数個の一致回路と該複数個の一致回路出力のいずれか1つの一致またはいずれか複数個の一致またはすべての複数個の一致を選択するテスト・モード設定回路とをそなえてなり、上記クロック・ストップ制御回路の出力によってクロック停止を行なうようにしたことを特徴とする状態条件ストップ制御方式。

3 発明の詳細な説明

本発明は、状態条件ストップ制御方式、特に制御情報保持レジスタの内容が予め定められた内容と一致したことにもとづいてクロック・ストップを行なうようにして、制御情報に対応して装置のクロック・ストップを行なうようにした状態条件ストップ制御方式に関するものである。

従来から中央処理装置においては、デバッグ処理などのために、いわゆるアドレス・ストップ機構が用意されている。該アドレス・ストップ機構は中央処理装置のアドレス・レジスタの内容が予め定められた値と一致した際に命令の実行を停止する機構である。

しかし、当該機構は、ソフトウェアのデバッグには有効であっても、ハードウェアのデバッグに対してはさほど有効なものとはなり得ない。

そこで本発明はハードウェアに設けられる種々の制御信号のいくつかが指定した条件に一致したときに装置のクロックを止めてしまい、装置の状態を凍結し、ハードウェアのきめ細かいデバッグに有効ならしめんとするものであり、特に中央処

理装置のみならずチャネル制御装置などにおいても活用できるようにすることを目的としている。

そして、そのため、本発明の状態条件ストップ制御方式はデータ処理装置において制御情報保持レジスタの内容とテスト条件との一致を検出してクロック停止信号を発するクロック・ストップ制御回路を設け、該クロック・ストップ制御回路は上記制御情報保持レジスタの内容を複数個に区分した区分内容毎に上記テスト条件を区分した区分テスト条件との一致を検出する複数個の一致回路と該複数個の一致回路出力のいずれか1つの一致または、いずれか複数個の一致またはすべての複数個の一致を選択するテスト・モード設定回路をそなえてなり、上記クロック・ストップ制御回路の出力によって、クロック停止を行なうようにしたことを特徴としている。

以下図面を参照しつつ説明する。

図は本発明の一実施例構成を示す。図中1は、チャネル制御装置（CHC）、2-0、2-1...は夫々SCS（SHIFTING CHANNEL STATUS）ラ

チであって、例えば当該チャネル制御装置（CHC）が統括する複数個のチャネル（CH）の個数に対応して用意され個々のチャネル種番を付加した制御情報を図示矢印方向に巡回させることによって個々のチャネルを時分割的に制御するために用いられるもの3-1は対CPU制御部であって図示しない中央処理装置（CPU）とCHCとの間の情報転送などの制御を行なうもの、3-2は対CPU制御ラッチ更新部であって、対CPU制御部における処理の結果をSCSに反映させるために設けるもの、4-1は対CH制御部であって図示しない複数個のチャネル（CH）とCHCとの間の情報転送などの制御を行なうもの、4-2は対CH制御ラッチの更新部であって対CH制御部における処理の結果をSCSに反映させるために設けるもの、5はクロック・ストップ制御回路、6はテスト条件設定レジスタであってテスト条件を区分した区分テスト条件a b cが任意にセットされるもの7 A、7 B 7 Cは夫々一致回路、8はテスト・モード設定回路を表わしている。

各チャネル（CH）に対する制御情報は、チャネル種番を付加された上でクロックに同期してラッチ2-0、2-1...を巡回してゆく。そしてその途中において或る場合には中央処理装置（CPU）から、あるいはチャネル（CH）からの情報によって制御情報が更新される。上記制御情報が巡回されてゆく間に、各チャネルを時分割的に制御してゆく。即ち例えば、チャネル種番「1」を附与された制御情報がラッチ2-0にセットされたとする、チャネル種番「1」をもつチャネル（CH）に対して、制御αが行なわれ、次のタイミング時にラッチ2-1にシフトされたとする、チャネル1をもつチャネル（CH）に対して制御βが行なわれ...る如く制御されてゆく。

一般にラッチ2-0、2-1...にセットされる上記制御情報は複数個に区分した区分内容A、B、Cよりなる。なお上記チャネル種番は該内容A、B、Cのうちのいずれかに与えられていると考えてよい。

本発明の場合、上記ラッチ2-0、2-1...

の巡回路に対して単一のクロック・ストップ制御回路5が用意される。そして上記制御情報（A、B、Cよりなる）が或る条件と一致した場合にクロック・ストップを行ない得るようにする。

テスト条件を区分した区分テスト条件a、b、cはテスト条件設定レジスタ6にセットされる。そして、上記制御情報（A、B、C）がラッチ2-0、2-1...を巡回してゆく間に例えば、ラッチ2-1にセットされたとき、一致回路7 A、7 B、7 Cが夫々Aとa、Bとb、Cとcに関する一致を調べる。もし一致が生じると一致回路7 A、7 Bまたは7 Cは夫々一致信号MA、MB、またはMCを発生する。

テスト・モード設定回路8は、テスト・モード指定信号により、次のいずれかのテスト・モードのもとで動作し、指定されたテスト・モードのもとで条件を満足するとクロック・ストップ信号CLKSTOPを発する。即ち

(1) 単一区分内容一致モード

$$\text{CLKSTOP} = \text{MA} + \text{MB} + \text{MC} \quad (1)$$

## (2) 区分内容複合一致モード

$$\text{CLKSTOP} = \text{MA} \cdot \text{MB} + \text{MA} \cdot \text{MC} + \text{MB} \cdot \text{MC}$$

(2)

## (3) 全区分内容一致モード

$$\text{CLKSTOP} = \text{MA} \cdot \text{MB} \cdot \text{MC}$$

(3)

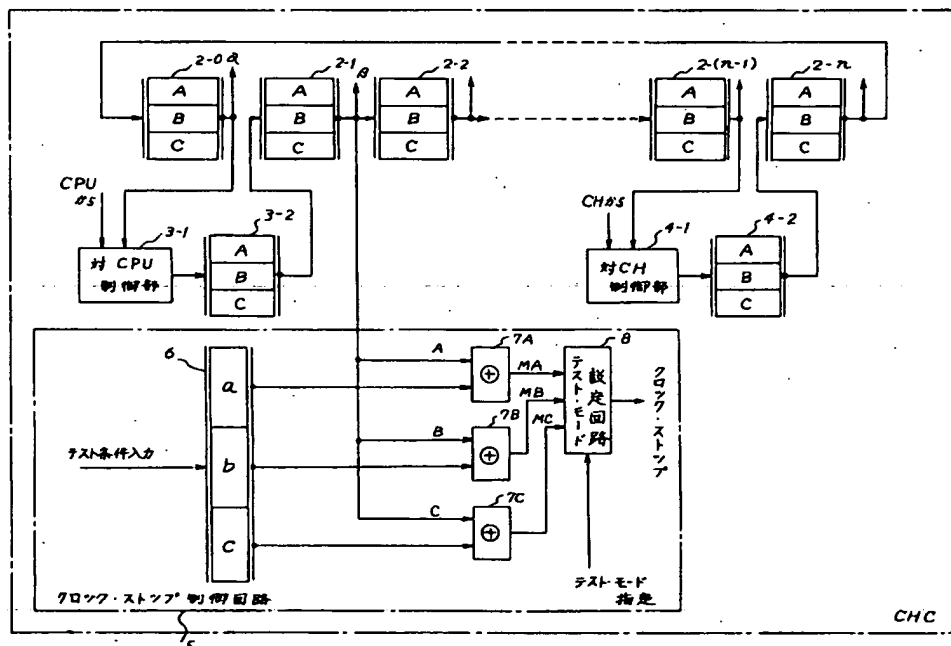
以上説明した如く、本発明によればチャネル制御装置 (CHC) にもうけられるラッチ 2-0、2-1、... 上の制御情報が予め指示されたテスト条件と一致したときにクロック停止を行なうことにより装置の状態を凍結することが可能となり、ハードウェア、ソフトウェアのデバッグなどに有効な手段となる。そして、テスト・モード設定回路 8 により、モード指定を行なうようにしたのでクロック停止の態様を選択できる。またラッチ 2-0、2-1、... 上の制御情報が巡回する点に着目したので、複数のチャネル (CH) に対応して最小限 1 個のクロック・ストップ制御回路 5 が存在するだけで足りる。

図は本発明の一実施例構成を示す。

図中 1 はチャネル制御装置、2-0、2-1、... は SCB ラッチ、3、4 は夫々ラッチ更新部、5 はクロック・ストップ制御回路、6 はテスト条件設定レジスタ、7A ないし 7C は夫々一致回路、8 はテスト・モード設定回路を表わす。

特許出願人 富士通株式会社  
代理人弁理士 森 田 寛

## 4 図面の簡単な説明



PAT-NO: JP406052070A

DOCUMENT-IDENTIFIER: JP 06052070 A

TITLE: DEVICE AND METHOD FOR DATA PROTECTION IN INTEGRATED  
CIRCUIT

PUBN-DATE: February 25, 1994

INVENTOR-INFORMATION:

NAME

FUJIMOTO, TERUHISA

SUDO, HIDEHIKO

INT-CL (IPC): G06F012/16, G06F011/22

ABSTRACT:

PURPOSE: To surely save internal state data to external memory when power interruption occurs by restoring data saved via a scan pass to an original register.

CONSTITUTION: A counter 4 counts a scan clock SC, and outputs the address A of the external memory 3 in which the data outputted from an integrated circuit 2 is stored. The integrated circuit 2 outputs the internal state data from a scan output terminal SO synchronizing with the scan clock SC, and such data is supplied to the data input terminal D1 of the external memory 3, and is stored in an address-designated position by the counter 4. In other words, the internal state data transferred synchronizing with the scan clock SC by utilizing the scan pass of the integrated circuit 2 can be outputted from the scan output terminal SO and it can be saved to the external memory 3. Thence, when the power source of a system is restored, the data restoration mode of resume function is set, and the system restores saved internal state data to the integrated circuit 2.

COPYRIGHT: (C)1994,JPO&Japio